

Evaluarea Timpului de Întârziere în Plăcile de Cablaj Imprimat în Baza Rețelelor Petri Hard Temporizate

Dmitri CALUGARI, Viorica SUDACESVCHI, Victor ABABII, Dimitri BORDIAN
Technical University of Moldova
d.calugari@icg-engineering.com

Abstract — În lucrare este propusă o metodă de sinteză a sistemelor pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat în baza rețelelor Petri hard temporizate. Pentru specificarea și modelarea sistemului de evaluare a timpului de întârziere sunt utilizate rețelele Petri sincrone temporizate. Trecerea la descrierea hard a sistemului se realizează prin translatarea modelului de rețea Petri temporizată în rețea Petri Hard Temporizată (RPHT). Implementarea directă a modelului RPHT în arhitectura hardware reconfigurabilă (FPGA) asigură realizarea circuitului logic al sistemului de evaluare a timpului de întârziere.

Index Terms — Placă de Cablaj Imprimat, Rețele Petri Hard Temporizate, Timpul de întârziere, HDL, FPGA.

I. INTRODUCTION

Avantajele oferite de circuitele reconfigurabile, și anume FPGA, au permis utilizarea lor tot mai largă în diverse domenii ale industriei. Diversitatea aplicațiilor în care acestea și-au găsit loc demonstrează popularitatea în creștere a acestor dispozitive. Una din direcțiile de perspectivă din acest domeniu este utilizarea circuitelor reconfigurabile pentru implementarea sistemelor de testare parametrică a plăcilor de cablaj imprimat [1-3]. Interesul față de această abordare se bazează pe posibilitatea de a testa în paralel mai multe semnale dependente unul față de altul [4] și de a reconfigura în timp real, la nivel de hardware, sistemele de testare, în caz de necesitate.

Una din problemele care apare la proiectarea sistemelor de evaluare a timpului de întârziere în plăcile de cablaj imprimat este paralelismul și sincronizarea generatorului de semnale de test și achiziția rezultatului propagării acestora pe placa de cablaj imprimat. Anumite operații se execută în limite predefinite de timp, procesările fiind supuse constrângerilor temporale. În aceste cazuri, timpul este dimensiunea de bază, iar constrângerile temporale necesită o exactitate foarte înaltă care poate fi obținută numai prin utilizarea tehnicilor de procesare paralelă sau concurrentă a datelor [4].

Implementarea algoritmilor de procesare paralelă a datelor necesită verificarea corectitudinii funcționării și apariției conflictelor, care pot duce la erori grave. În acest scop sunt utilizate metode și tehnici moderne bazate pe aplicarea modelelor de rețea Petri temporizate [5,10,11] care permit identificarea și excluderea conflictelor legate atât de sincronizarea în timp a proceselor, cât și de constrângerile temporale.

Metodele clasice de implementare a sistemelor de testare a plăcilor de cablaj imprimat bazate pe sinteza logică prezintă un șir de dezavantaje, și anume: complexitatea computațională înaltă, necesitatea specificării sistemului doar la nivele joase de abstractizare, structura circuitelor rezultate nu corespunde cu structura modelului de

funcționare [1-3]. Tehnicile de mapare directă a modelului sistemului în circuit exclud aceste dezavantaje, ceea ce este deosebit de important în cazul sistemelor care operează în timp real, iar executarea operațiilor este supusă unor constrângeri temporale.

În lucrare se propune o metodă de sinteză a sistemelor pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat bazate pe rețele Petri hard temporizate (RPHT) cu maparea directă în dispozitive FPGA. Implementarea directă a modelului RPHT în arhitectura hardware permite realizarea circuitului logic al sistemului de evaluare. Corespondența directă între elementele specificației inițiale și componentele circuitului rezultat asigură respectarea constrângerilor temporale, conform cărora activează sistemul de evaluare.

II. FORMULAREA PROBLEMEI DE SINTEZA

Fie este definită problema care necesită evaluarea timpului de întârziere indus de propagarea semnalelor electrice în plăcile de cablaj imprimat. Schema funcțională este prezentată în Figura 1 și include: **TG** - generatorul semnalelor de testare U^{out} ; **DTE** - evaluatorul timpului de întârziere a semnalelor de intrare U^{in} ; **S** - semnal de sincronizare a blocului de evaluare a timpului de întârziere; **PCB** - placa de cablaj imprimat; **EI** - influența mediului exterior asupra plăcii de cablaj imprimat cu semnalele de zgomot $U^{EI}(t)$.

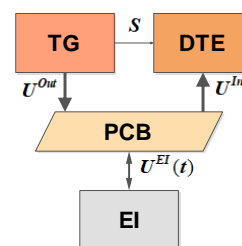


Figura 1. Schema funcțională a sistemului pentru evaluarea timpului de întârziere în PCB.

În Figura 2 este prezentat modelul abstract al plăcii de cablaj imprimat **PCB**, unde: **OXY** - sistemul de coordonate determină poziția obiectelor pe placă; $U^{Out} = \{U_{x,y}^{Out}(t), \forall x = \overline{0, X}, y = \overline{0, Y}\}$ - mulțimea semnalelor de testare definite în spațiul **P** și timp **t**; $U^{In} = \{U_{x,y}^{In}(t), \forall x = \overline{0, X}, y = \overline{0, Y}\}$ - mulțimea semnalelor pentru evaluarea timpului de întârziere definite în spațiul **P** și timp **t**; $\theta = \{\tau_{x,y}, \forall x = \overline{0, X}, y = \overline{0, Y}\}$ - timpul de întârziere generat de cablajul imprimat $[U_{x,y}^{Out}(t), U_{x,y}^{In}(t)]$, **D** - modelul matematic care determină raportul dintre $U_{x,y}^{Out}(t)$ și $U_{x,y}^{In}(t)$ [4].

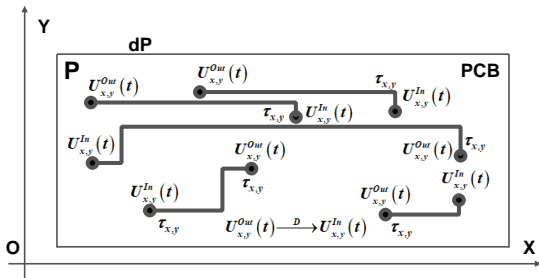


Figura 2. Modelul abstract al plachetei de cablaj imprimat.

III. ALGORITMUL DE SINTEZĂ A SISTEMULUI PENTRU EVALUAREA TIMPULUI DE ÎNTĂRZIERE ÎN PLĂCILE DE CABLAJ IMPRIMAT

În Figura 3 este prezentată schema bloc a algoritmului de sinteză a sistemului pentru modelarea și implementarea sistemului de evaluare a timpului de întârziere în plăcile de cablaj imprimat în baza rețelelor Petri hardware.

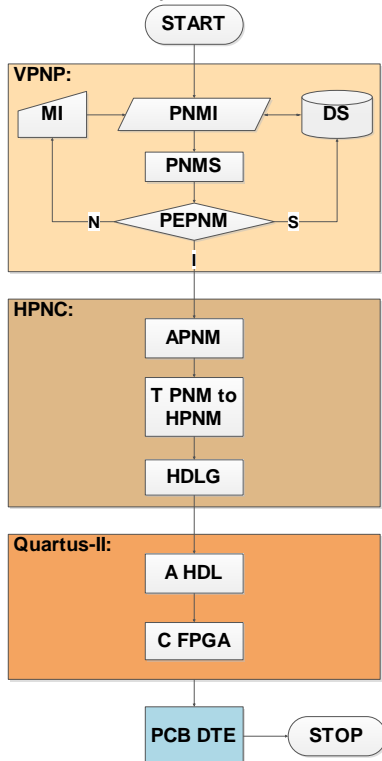


Figura 3. Algoritmul de sinteză.

Algoritmul de sinteză include următorii pași:
VPNP - mediul pentru modelarea rețelelor Petri [5,6] care include următoarele operații: **PNMI** - introducerea manuală **MI** sau încărcarea modelului de rețea Petri de pe dispozitivul de stocare **DS**; **PNMS** - modelarea rețelei Petri; **PEPNM** - evaluarea parametrilor funcționali și de performanță ai modelului rețelei Petri care determină funcționalitatea sistemului de evaluare a timpului de întârziere în plăcile de cablaj imprimat.

HPNC - mediul pentru translatarea modelului de rețea Petri în rețea Petri hardware [8-11] care include următoarele operații: **APNM** - analiza parametrică a modelului de rețea Petri în scopul extragerii conexiunilor dintre elementele funcționale ale rețelei Petri hardware; **T PNM to HPNM** - translatarea modelului de rețea Petri în rețea Petri hardware; **HDLG** - generarea codului de descriere hardware a sistemului pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat.

Quartus - II - mediul pentru compilarea codului HDL și configurarea dispozitivului FPGA [12] care include următoarele operații: **A HDL** - analiza codului HDL; **C FPGA** - configurarea dispozitivului FPGA.

PCB DTE - evaluarea timpului de întârziere în placa de cablaj imprimat.

IV. SCHEMA FUNCȚIONALĂ A SISTEMULUI PENTRU EVALUAREA TIMPULUI DE ÎNTĂRZIERE ÎN PLĂCILOR DE CABLAJ IMPRIMAT

Schema funcțională a sistemului pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat este prezentată în Figura 4.

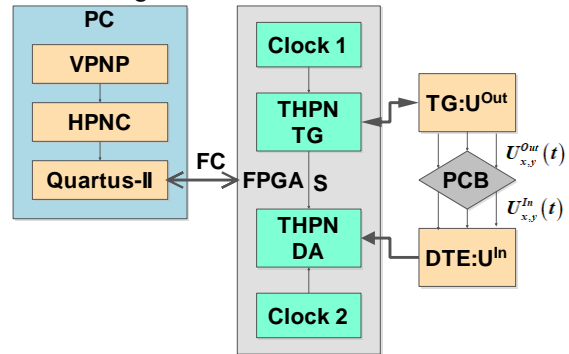


Figura 4. Schema funcțională a sistemului pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat.

Schema funcțională a sistemului pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat include:

PC - calculator cu mediul **VPNP** de modelare a rețelelor Petri, compilatorul **HPNC** și mediul **Quartus - II**;

FPGA - circuitul reconfigurabil pe care se implementează generatorul de teste în baza rețelei Petri hardware temporizată **THPN TG** cu generatorul de tact **Clock 1**, și analizorul timpului de întârziere în baza rețelei Petri hardware temporizată **THPN DA** cu generatorul de

tact **Clock 2**;

TG : U^{Out} - mulțimea de conectoare pentru contactarea suprafeței plăcii de cablaj imprimat **PCB** pentru transmiterea semnalelor de test $U_{x,y}^{Out}(t)$;

DTE : U^{In} - mulțimea de conectoare pentru contactarea suprafeței plăcii de cablaj imprimat **PCB** pentru achiziția semnalelor de intrare $U_{x,y}^{In}(t)$.

V. EXEMPLU DE MODEL DE REȚEA PETRI PNETRU EVALUAREA TIMPULUI DE ÎNTÂRZIERE ÎN PLĂCILE DE CABLAJ IMPRIMAT

Pentru elaborarea modelului de rețea Petri temporizată s-a utilizat mediul **VPNP** [6]. Rezultatul proiectării este prezentat în Figura 5.

Modelul rețelei Petri include două componente de bază:

THPN TG - generatorul semnalelor de testare care include: $t1$, $t5$ - tranziții temporizate, determină valoarea logică 0 sau 1 a semnalului de testare (împreună formează generatorul de tact **Clock 1**); $p6$ - poziție discretă, prezintă semnalul de ieșire $U_{x,y}^{Out}(t)$; $(t4, p2)$ - arc de sincronizare, validează începutul evaluării timpului de întârziere.

THPN DA - analizorul timpului de întârziere care include: $t2$ - tranziție temporizată (generatorul de tact **Clock 2**) generează impulsuri pentru evaluarea timpului de întârziere; $t3$ - tranziție ne-temporizată, sincronizează procesul de calcul a intervalului de timp; $p5$ - poziție discretă, prezintă semnalul de intrare $U_{x,y}^{In}(t)$; $p3$ - poziție discretă, acumulează impulsurile generate de $t2$ care permit evaluarea timpului de întârziere $\tau_{x,y}$.

Pentru procesul de modelare în modelul rețelei Petri s-a inclus tranziția temporizată $t6$ care substituie întârzierea semnalului la propagare în placa de cablaj imprimat.

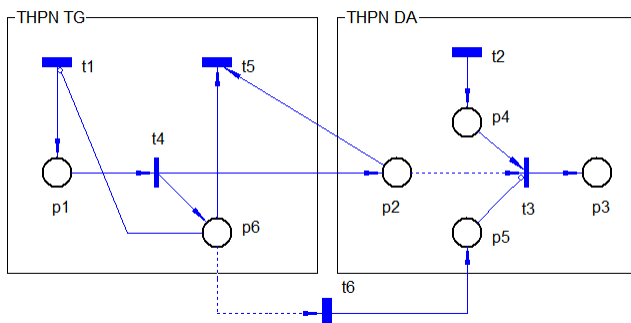


Figura 5. Schema funcțională a sistemului pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat.

VI. CONCLUZII

Lucrarea de față prezintă rezultatele dezvoltării unei noi metode de sinteză a sistemelor pentru evaluarea timpului de întârziere în plăcile de cablaj imprimat. Metoda de sinteză

se bazează pe aplicarea modelelor de rețele Petri pentru descrierea formală cu translatarea acestui model în rețea Petri hardware care ulterior este implementată în circuit FPGA. Rezultatul implementării prezintă un generator de semnale de testare temporizate care sunt aplicate la placa de cablaj imprimat, rezultatul propagării semnalului sunt evaluate de analizorul de întârziere.

REFERINȚE

- [1] S. Gebus, S. Lorillard & E. Juuso. Defect Localization on a PCB with Functional Testing. 44 p. Report A No 20, May 2002. ISBN 951-42-6731-1.
- [2] Ch. Lotz, P. Collins, D. Wiatrowski. "Finctional Board Test – Coverage Analysis." In European Board Test Workshop, Southampton (UK), May 24 & 26, 2006.
- [3] N. Paunovic, J. Kovacevic, I. Resetar "A Methodology for Testing Complex Professional Electronic Systems." Serbian Journal of Electrical Engineering. Vol. 9, No. 1, February 2012, pp. 71-80. DOI: 10.2298/SJEE1201071P.
- [4] V. Ababii, V. Sudacevschi, D. Calugari. „Synthesis of Parallel Data Acquisition System for Analysing of Multidimensional Signals.” In Sciences of Europe (Praha, Czech Republic), Vol 1, No 17(17), 2017, pp. 75-79, ISSN 3162-2364.
- [5] J.L. Peterson, "Petri Net Theory and the Modeling of Systems", Prentice-Hall, 1981.
- [6] E. Guțuleac, C. Boșneaga, A. Railean, "VPNP-Software tool for modeling and performance evaluation using generalized stochastic Petri nets", In: Proceedings of the 6-th International Conference on DAS-2002, 23-25 May 2002, Suceava, România, pp. 243-248, ISBN 973-98670-9-X.
- [7] A. Yakovlev, L. Gomes, L. Lovagno. "Hardware Design and Petri Nets", Springer-Science + Business Media, B.V., 330p., ISBN:978-1-4757-3143-9, DOI: 10.1007/978-1-4757-3143-9.
- [8] V. Sudacevschi, V. Ababii, M. Podubnii. "A Synthesis Method for Reconfigurable Embedded Processors." In the 13th International Conference on DEVELOPMENT AND APPLICATION SYSTEMS, Suceava, Romania, May 19-21, 2016, IEEE Catalog Number: CFP1665Y-DVD, pp. 184-188, ISBN: 978-1-5090-1992-2.
- [9] V. Sudacevschi, V. Ababii, E. Gutuleac, M. Podubnii. „Sinteza procesoarelor specializate în baza rețelelor Petri hardware funcțional interpretate.” In Meridian Ingineresc Nr. 3, 2015. pp.117-123, ISSN 1683-853X.
- [10] V. Sudacevschi, V. Ababii. „Modelling and Synthesis of Real-Time Control Systems Based on Hardware Timed Petri Nets.” In Buletinul Institutului Politehnic Din Iași, Publicat de Universitatea Tehnică „Gheorghe Asachi” din Iași, Secția „Electrotehnică. Energetică. Electronică”, Tomul LIX (LXIII), Fasc. 4, 2013, pp. 161-172.
- [11] V. Sudacevschi, V. Ababii „Modelarea și implementarea sistemelor de control în baza RPH temporizate.” In Meridian Ingineresc Nr. 3, 2013. p. 32-36. ISSN 1683-853X.
- [12] <https://www.altera.com> (Accesat 15.09.2017)