

Impactul conexiunilor verticale asupra ariei in integrarea 3D

Pletea Ionica-Marcela, Șontea Victor, Cojocariu Victor
Departamentul Microelectronică și Inginerie Biomedicală
Universitatea Tehnică a Moldovei
Chișinău, Republica Moldova
i_pletea@yahoo.com

Abstract: 3D monolithic integration allows more than an alternative for increasing density integration. This offers a new dimension of flexibility in designing integrated circuits, more exactly the ability to divide the project into partitions that can be independently processed and operated. In the current 2D integration technology, the logical part, memories and the analog functions are processed together and have the same limitations and cost. In a 3D integration each layer can be processed in an optimized flow. In this paper we have integrated a 3D design which contains logical part and memories. We overlap memories on logical part and we present the advantages of 3D integration versus 2D in terms of area.

Key words: partitioning; 3D integration; area optimization; flow 2D

I. INTRODUCERE

În ultimii ani, integrarea monolitică 3D a generat un interes considerabil, datorită capacității de a integra componente eterogene și a conectivității verticale, care conduce la creșterea numărului de componente integrate, precum și la scăderea lungimii traseelor între componente[1].

Cea mai importantă caracteristică pentru valoarea unui circuit integrat (CI) este integrarea mai multor funcții într-un singur dispozitiv. Acest lucru este și va rămâne cel mai important factor ce determină respectarea Legii lui Moore, deoarece prin integrarea funcțiilor într-un singur CI putem obține beneficii însemnate pentru arie, consum de putere, frecvență de funcționare, costuri și fiabilitate[8].

Una dintre cele mai importante caracteristici ale integrării monolitice 3D este dimensiunea redusă a căilor de interconectare între straturi. Prin utilizarea unei rețele de interconectare dense între straturi, anumite etape ale fluxului de proiectare sunt afectate pozitiv. De exemplu, rutarea este mai relaxată și disiparea căldurii este îmbunătățită[2].

Un obstacol important pentru punerea în practică a tehnologiei 3D monolitică îl reprezintă lipsa programelor de proiectare digitală. Într-un anumit sens, această problemă este de fapt aceeași care apare în cazul unor noi tehnologii: marii producători nu investesc în programe de proiectare noi până când nu se demonstrează viabilitatea lor comercială.

Prin urmare cercetarea pentru integrarea 3D s-a realizat cu ajutorul programelor de proiectare 2D, prin adaptarea fișierelor care să permită suprapunerea memoriilor peste logică. Unul

dintre scopurile realizării integrării 3D este de a reduce complexitatea interconexiunilor și întârzierile asociate cu 2D[7]. Acestea sunt considerate ca fiind principalele obstacole în calea creșterii performanțelor în continuare pentru generațiile viitoare de circuite integrate.

II. EXPUNERE

Cea mai importantă piață pentru produsele semiconductoare este piața dispozitivelor mobile inteligente. Pentru această piață, un dispozitiv SOC (System on Chip) trebuie să integreze mai multe funcții. În majoritatea cazurilor, logica de înaltă performanță reprezintă aproximativ 25% din suprafața circuitului, 50% reprezintă memoriile, iar restul sunt funcțiile analogice, precum pinii I/O. În tehnologia de integrare 2D curentă, acestea trebuie să fie procesate în comun și suportă aceleași limitări și costuri de producție. Într-o stivă 3D-IC monolitică, folosind integrarea eterogenă, fiecare strat este prelucrat într-un flux optimizat, permițând astfel o reducere semnificativă a costurilor și o funcționalitate sporită[3].

Funcția logică în sine poate fi construită mai eficient cu ajutorul integrării eterogene. În multe cazuri doar o porțiune de logică trebuie să funcționeze la înaltă performanță, în timp ce alta poate fi implementată folosind procese și tehnologii mai vechi (ex. 180 nm) și mai ieftine. Astfel, proiectarea logică poate fi împărțită în straturi 3D specializate, fiecare strat având proprii parametri de proiectare, prin urmare propriul cost de fabricație[4].

Datorită procentului mare de arie ocupată în design de memoriile încorporate, în mod natural atenția va fi direcționată asupra partiționării pe straturi diferite a logicii și memoriilor[6].

III. SUPRAPUNEREA MEMORIILOR PESTE LOGICĂ

O plasare obișnuită 2D a unui design care conține logică și memorii este realizată în figura 1, unde în prima fază au fost plasate memoriile iar apoi în funcție de constrângerile de timp și de conexiunile dintre componente s-a plasat logica în jurul memoriilor. Atât logica cât și memoriile sunt plasate pe un singur strat.

Metodologia folosită la plasarea memoriilor deasupra logicii în cazul integrării 3D din figura 2, este formată din pași care utilizează în mare parte elemente ale metodologiilor existente de proiectare a circuitelor integrate 2D, dar care este completată cu pași specifici și necesari pentru integrarea 3D[5].

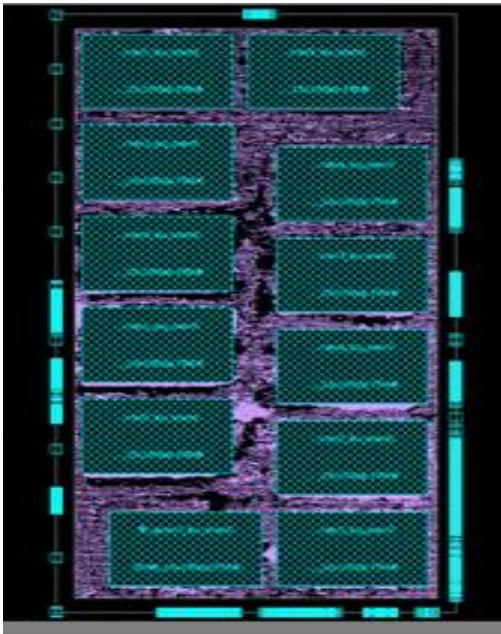


FIG. 1 PLASARE 2D

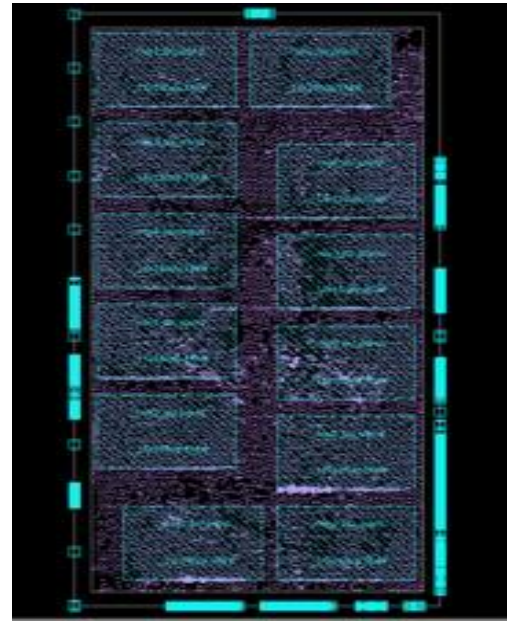


FIG. 2 PLASARE 3D

Utilizând flowul 2D de proiectare a circuitelor integrate, în prima etapă s-au plasat memoriile și s-au fixat pozițiile lor în locațiile respective. Pentru fiecare memorie de pe stratul 2 s-a generat o reprezentare specială care să permită programului de proiectare a circuitelor integrate 2D suprapunerea de logică sub memorii. Pentru a evita suprapunerea memoriilor peste alte memorii (separarea pe cele două straturi s-a făcut astfel: memorii pe stratul 2 și logică pe stratul 1), generarea reprezentării speciale a memoriilor a implicat o formă specială de serpentină a cărei pas a fost mai mic decât cea mai mică memorie din design. Serpentina permite programului de proiectare să plaseze logică sub memorii, dar nu va permite să fie plasate alte memorii.

În etapa a doua s-a realizat plasarea globală a logicii sub memorii în funcție de constrângerile de timp și de conexiunile dintre componente. Utilizarea ariei folosită pentru plasarea logicii scade în cazul integrării 3D a designului, având în vedere mărirea suprafeței pe care poate fi plasată logica. Deasemenea lungimea conexiunilor dintre componente se reduce, datorită scurtării distanței dintre acestea pe verticală.

Dupa plasarea globală a logicii, s-a efectuat plasarea detaliată a componentelor logice care a implicat optimizarea componentelor logice și a legăturilor dintre ele, fapt evident prin micșorarea ariei celulelor combinaționale și a bufferelor respectiv inversoarelor folosite pentru respectarea constrângerilor de timp din design.

IV. DISCUȚIE

Flowul l-am implementat folosind toolurile Synopsys Design Compiler și Synopsys IC Compiler, iar bibliotecile pentru memorii le-am ajustat manual.

Avantajele designului testat în această situație, sunt maxime și datorită faptului că aria logică și memoriile sunt în procent de 50% fiecare. În cazul în care aceste procente sunt diferite, se ajustează aria celor două straturi prin distribuirea corespunzătoare a logicii și memoriilor pe cele două straturi în funcție de cost.

Beneficiile plasării 3D față de plasarea obișnuită 2D se pot vedea în tabelul din figura 3 unde sunt raportate toate ariile din cele două situații. Numărul de buffere/inversoare folosite în cadrul optimizării, precum și numărul de neturi care conectează componentele între ele, scade în cadrul suprapunerii memoriilor peste logică, datorită scăderii lungimii traseelor.

	2D	3D	3D/2D
Comb cell #	26616	25415	0.954877
Comb area	69620	65883	0.946323
Seq. cell #	8298	8298	1
Seq. area	54730	54742	1.000219
BUF #	4283	3465	0.809012
BUF area	12108	9753	0.8055
INV #	4481	3976	0.887302
INV area	8654	7220	0.834296
CTS buf/inv	282	244	0.865248
Net #	37876	36647	0.967552
Net-length	1523443	1218919	0.800108
Block area	462400	230050	0.497513

Fig. 3 Diferență arie 2D vs 3D

V. CONCLUZII

Organizarea tridimensională reduce lungimile conexiunilor atât cele medii cât și cele maxime, necesare pentru a conecta elementele sistemului, reducând disiparea puterii și crescând performanța în același timp. Reducerea totală a ariei datorată suprapunerii celulelor se reflectă în următoarele aspecte:

- a. numărul de inversoare și buffere folosite la optimizare este redus;
- b. aria celulelor combinaționale este micșorată;
- c. lungimea neturilor este redusă;
- d. numărul de buffere și inversoare folosite la construirea arborelui de klok este redus.

BIBLIOGRAFIE

[1]. M. Ebrahimi et al., „Monolithic 3D Integration Advances and Challenges: From Technology to System Levels,” S3S, Oct. 2014.

[2]. Chiang, C, Sinha, S. „The road to 3D EDA tool readiness”, Asia and South Pacific Design Automation Conference, 2009, pp. 429-436.

[3]. Z., Or-Bach, „The monolithic 3D advantage: Monolithic 3D is far more than just an alternative to 0.7x scaling,” Oct. 2013.

[4]. Synopsys, Proceedings of 3D Architecture for Semiconductor Integration and Packaging Conference, December 2010.

[5]. Pletea I, Wurman ZE, Or-Bach Z, et al. “Monolithic 3D layout using 2D EDA for embedded memory-rich designs”. IEEE. 2015:1–2.

[6]. Jiang, I.H.-R., “Generic Integer Linear Programming Formulation for 3D IC Partitioning”, IEEE SOC Conference 2009, pp. 321-324.

[7]. D. H. Kim, S. K. Lim., "Impact of through-silicon-via scaling on the wirelength distribution of current and future 3D ICs." Interconnect Technology Conference, IEEE, 2011.

[8]. S. Bobba et al., “CELONCEL: Effective Design Technique for 3-D Monolithic Integration targeting High Performance Integrated Circuits” ASPDAC, 2011, pp. 337-343