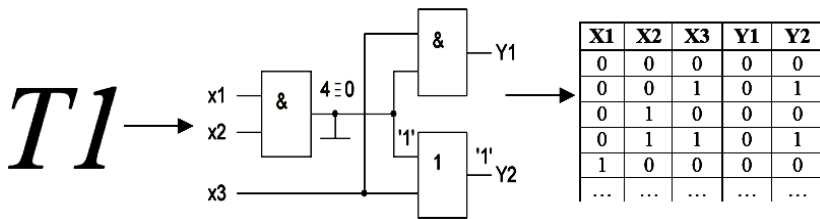


TESTAREA SISTEMELOR ELECTRONICE

Ghid pentru lucrări de laborator Partea I



UNIVERSITATEA TEHNICĂ A MOLDOVEI

**FACULTATEA INGINERIE ȘI MANAGEMENT ÎN ELECTRONICĂ ȘI
TELECOMUNICAȚII**

CATEDRA SISTEME ȘI DISPOZITIVE ELECTRONICE

TESTAREA SISTEMELOR ELECTRONICE

**Ghid pentru lucrări de laborator
Partea I**

**Chișinău
Editura «Tehnica-UTM»
2016**

Acest ghid pentru lucrări de laborator are ca scop obținerea abilităților la întocmirea testelor pentru sistemele combinaționale digitale și dispozitivele memoriei digitale. Practic testarea se efectuează în baza microcircuitelor cu logica programabilă prin intermediul limbajului *VHDL* și în editorul *Schematic*.

Lucrările de laborator prezente sunt destinate consolidării cunoștințelor în domeniul testării dispozitivelor digitale, iar efectuarea lucrărilor în baza plachetelor de depănare (*kit*-urilor) este destinată aprofundării cunoștințelor practice în acest domeniu.

Ghidul este recomandat studenților, masteranzilor și doctoranzilor de profil și reflectă tendințele contemporane de testare a sistemelor electronice în baza dispozitivelor cu logica programabilă.

Autori: lector univ. S. Grițcov

lector asist. D. Lazăr

Recenzent: conf. univ., dr. P. Nistiriuc

Redactor: E. Gheorghişteanu

Bun de tipar 19.01.16	Formatul hârtiei 60x84 1/16
Hârtie ofset. Tipar RISO	Tirajul 30 ex.
Coli de tipar 2,0	Comanda nr.08

MD-2004, UTM, Chişinău, bd. Ştefan cel Mare și Sfânt, 168
Editura «Tehnica-UTM»
2068, Chişinău, str. Studenților, 9/9

© UTM, 2016

INTRODUCERE

Indicațiile metodice prezente sunt destinate pentru efectuarea lucrărilor de laborator care includ întocmirea testelor sau secvențelor de teste pentru detectarea defectărilor în circuitele digitale. De asemenea, în aceste indicații metodice este reprezentat materialul teoretic care include metodele de testare a circuitelor logice digitale și a memoriei digitale. Pentru fiecare metodă sunt demonstrate niște exemple.

Aceste lucrări de laborator pot fi grupate în două lucrări: prima și a doua – alcătuirea testelor sau secvențelor de teste pentru a detecta toate defectările constante posibile în circuitele combinaționale digitale, iar a treia – alcătuirea testelor sau secvențelor de testare pentru detectarea defectărilor în dispozitivele cu memorie (bistabile și contori).

Efectuarea lucrărilor de laborator se realizează în baza plăcilor de asamblare cu *FPGA* (schema logică integrală programabilă) de firma *Altera*. Microcircuitul dispune de resurse necesare (blocuri logice, celule de memorie), ceea ce ne dă posibilitatea a realiza în practică testarea dispozitivelor digitale.

În cadrul efectuării lucrărilor de laborator studentul trebuie să acumuleze următoarele cunoștințe:

- în baza metodelor cunoscute, care vor fi analizate în partea teoretică a îndrumarului metodic, **să învețe a întocmi teste și secvențe de teste** pentru detectarea anumitor tipuri de defectări;
- să învețe a **optimiza** secvențele de teste întocmite;
- să învețe a **aplica în practică** cunoștințele acumulate în domeniul detectării a diferitor tipuri de defectări în dispozitivele digitale.

CUPRINS

INTRODUCERE	3
1. Definiții de bază în diagnosticarea tehnică	4
2. Defectările dispozitivelor digitale.....	6
3. Metodele de detectare a defectărilor în dispozitivele digitale.....	12
3.1. Metodele de testare a circuitelor combinaționale digitale	12
3.1.1. Metoda senzitivizării căii.....	12
3.1.2. Metoda derivatelor booleene	14
3.1.3. Metoda (Roth) sau <i>d</i> -algoritmul	16
3.1.4. Metoda stocastică	19
3.1.5. Minimizarea testelor	23
3.2.1. Metodele clasice de testare	24
3.2.2. Testele <i>March</i>	25
3.2.3. Testarea pseudo-inelară	28
BIBLIOGRAFIE.....	32

BIBLIOGRAFIE

1. ЯРМОЛИК С., ЗАНКОВИЧ А., ИВАНЮК А. *Маршевые тесты для самотестирования ОЗУ*. – Минск: БГУ, 2009, 270 с.
2. POWELL T., KUMAR A., RAYHAWK J., MUKHERJEE N. *Chasing subtle embedded RAM defects for nanometer technologies*. – Texas Instrum. Inc., Dallas, TX, Test Conference, IEEE, 2005, pp. 9 – 850.
3. HAMDIOUI S., VAN DE GOOR A.J., RODGERS M. *March SS: a test for all static simple RAM faults*. – Memory Technology, Design and Testing, 2002, pp. 95-100.
4. WAN Z., WAN H., IZHAL A., ROSLINA S., MASURI O. *A Fault Syndromes Simulator for Random Access Memories*. European Journal of Scientific Research ISSN 1450-216X, Vol.23, No.1, 2008, pp.13-24.
5. VAN DE GOOR A., ABADIR M., CARLIN A. *Minimal test for coupling faults in word-oriented memories*. – Design, Automation and Test in Europe Conference and Exhibition, 2002, pp. 944-948.
6. BODEAN Gh. *Diagnosticarea dispozitivelor digitale*. – Chişinău: UTM, 2007, 311 p.
7. MIKITJUK V., YARMOLIK V., VAN DE GOOR A. *RAM testing algorithms for detection multiple linked faults*. Minsk: Byelorussian State Univ., *IEEE Int. Test Conf.*, 1996, pp. 435 – 439.
8. PARK Y., PARK J., HAN T., KANG S. *An Effective Programmable Memory BIST for Embedded Memory*. – IEICE Transactions on Information and Systems, Volume E92.D, Issue 12, 2009, pp. 2508-2511.
9. ЛИТИКОВ И. *Кольцевое тестирование цифровых устройств*. – Москва: Энергоатомиздат, 1990, 157 с.
10. GRÎTCOV S. *Algorithmic complexity of pseudo-ring testing for stuck-at faults*. – Chişinău: ICTEI-2015, pp. 75-76.