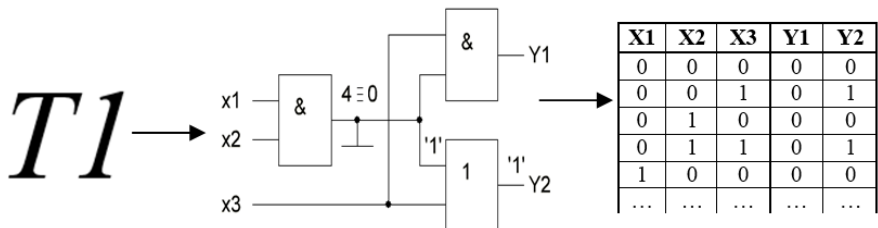


ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ МОЛДОВЫ

ТЕСТИРОВАНИЕ ЭЛЕКТРОННЫХ СИСТЕМ

Гид к лабораторным работам Часть II



Chişinău
2016

ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ МОЛДОВЫ

**ФАКУЛЬТЕТ ИНЖЕНЕРИИ И МЕНЕДЖМЕНТА В ЭЛЕКТРОНИКЕ
И ТЕЛЕКОММУНИКАЦИЯХ
КАФЕДРА ЭЛЕКТРОННЫХ СИСТЕМ И УСТРОЙСТВ**

ТЕСТИРОВАНИЕ ЭЛЕКТРОННЫХ СИСТЕМ

*Гид к лабораторным работам
Часть II*

**Chişinău
Editura «Tehnica-UTM»
2016**

Данный гид к лабораторным работам предназначен для приобретения навыков по составлению тестов для цифровых комбинационных схем и устройств цифровой памяти. Практически тестирование выполняется на основе микросхем с программируемой логикой при помощи языкового описания на языке *VHDL* и в среде *Schematic*.

Представленные лабораторные работы направлены на закрепление знаний в области тестирования цифровых устройств, а работа с отладочными платами направлена на приобретение практических навыков в данной области.

Гид рекомендован студентам, мастерантам и докторантам соответствующего профиля и отражает современные технологии в тестировании цифровых электронных систем.

Авторы: лектор унив. С. Грицков

лектор ассист. Д. Лазэр

Рецензент: конф. унив., докт. П. Нистирюк

СОДЕРЖАНИЕ

<i>Лабораторная работа №1</i>	
Составление и минимизация тестов для цифровых комбинационных схем.....	3
<i>Лабораторная работа №2</i>	
Определение резолуции тестов для цифровых комбинационных схем.....	9
<i>Лабораторная работа №3</i>	
Составление и минимизация тестов для триггеров и счетчиков	14
БИБЛИОГРАФИЯ	22

БИБЛИОГРАФИЯ

1. ЯРМОЛИК С., ЗАНКОВИЧ А., ИВАНЮК А. *Маршевые тесты для самотестирования ОЗУ*. – Минск: БГУ, 2009. - 270 с.
2. POWELL T., KUMAR A., RAYHAWK J., MUKHERJEE N. *Chasing subtle embedded RAM defects for nanometer technologies*. – Texas Instrum. Inc., Dallas, TX, Test Conference, IEEE, 2005, pp. 9 - 850.
3. HAMDIOUI S., VAN DE GOOR A.J., RODGERS M. *March SS: a test for all static simple RAM faults*. – Memory Technology, Design and Testing, 2002, pp. 95-100.
4. WAN Z., WAN H., IZHAI A., ROSLINA S., MASURI O. *A Fault Syndromes Simulator for Random Access Memories*// European Journal of Scientific Research ISSN 1450-216X, Vol.23, No.1, 2008, pp.13-24.
5. VAN DE GOOR A., ABADIR M., CARLIN A. *Minimal test for coupling faults in word-oriented memories*. – Design, Automation and Test in Europe Conference and Exhibition, 2002, pp. 944-948.
6. BODEAN Gh. *Diagnosticarea dispozitivelor digitale*. – Chişinău: UTM, 2007. - 311 p.
7. МИКИТЮК В., ЯРМОЛИК В., VAN DE GOOR A. *RAM testing algorithms for detection multiple linked faults*. Minsk: Byelorussian State Univ., *IEEE Int. Test Conf.*, 1996, pp. 435 - 439.
8. PARK Y., PARK J., HAN T., KANG S. *An Effective Programmable Memory BIST for Embedded Memory*. – IEICE Transactions on Information and Systems, Volume E92.D, Issue 12, 2009, pp. 2508-2511.
9. ЛИТИКОВ И. *Кольцевое тестирование цифровых устройств*. – Москва: Энергоатомиздат, 1990. - 157 с.
10. GRIȚCOV S. *Algorithmic complexity of pseudo-ring testing for stuck-at faults*. – Chişinău: ICTEI-2015, pp. 75-76.